

BEST AVAILABLE COPY

OSCILLATION CIRCUIT AND DELAY CIRCUIT

Patent number: JP10229166

Publication date: 1998-08-25

Inventor: YAMADA KAZUYUKI

Applicant: NIPPON ELECTRIC CO.

Classification:

- International: H01L27/04; H01L21/822; H01L21/8234; H01L27/088;
H01L27/108; H01L21/8242; H01L29/786; H03K3/354

- european: H03K3/0231; H03K3/03; H03K3/03D2; H03K3/354

Application number: JP19970047191 19970214

Priority number(s): JP19970047191 19970214

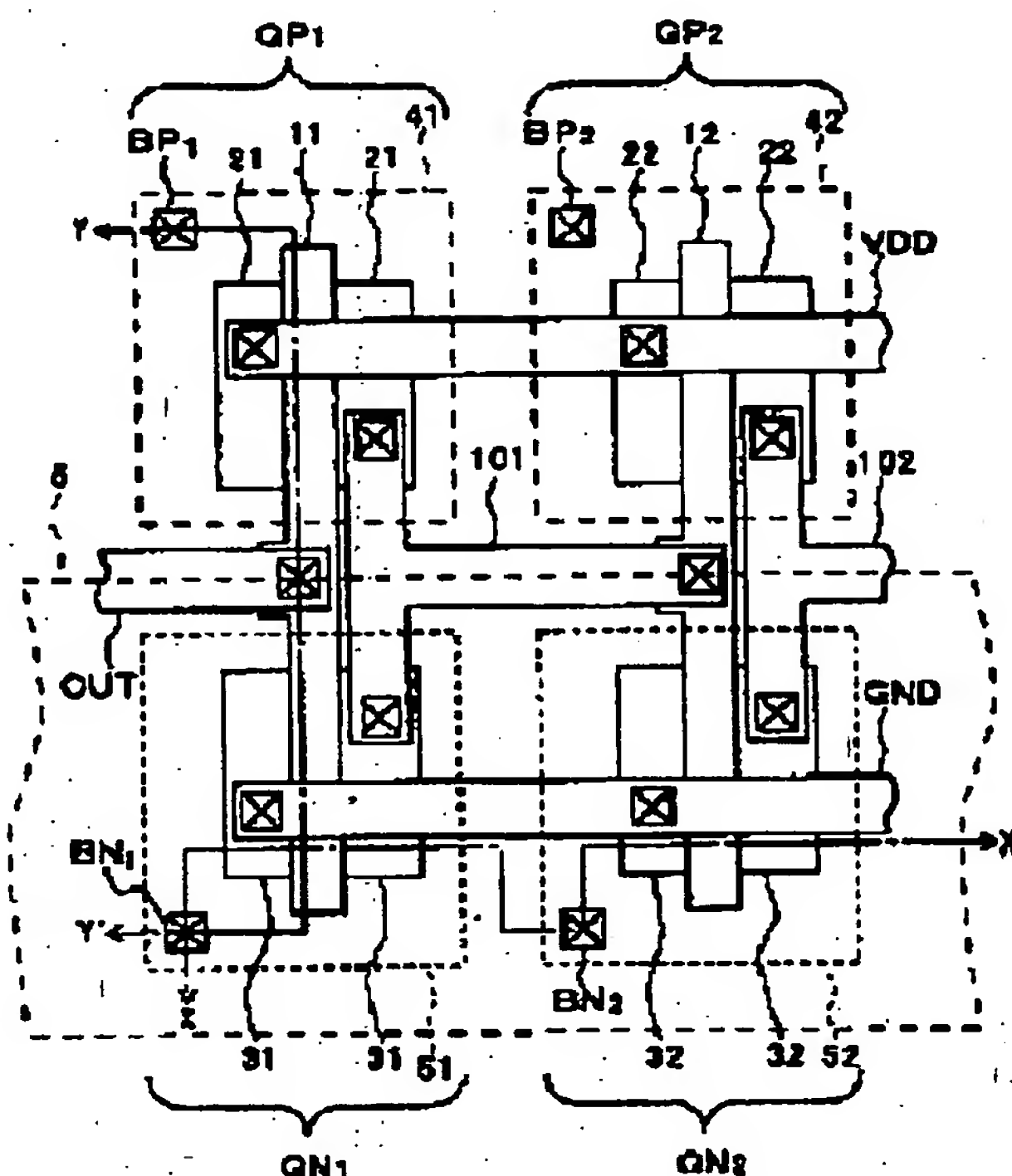
Also published as:

US5912591 (A1)

Report a data error here

Abstract of JP10229166

PROBLEM TO BE SOLVED: To obtain an oscillation circuit, which controls the oscillation frequency, the duty ratio and the phase in a small area, and a delay circuit, which controls the delay time, the rise time and the fall time, by a method wherein the same conductivity type wells are electrically isolated into more than two and one of the isolated wells is connected with the output terminal of a variable bias voltage generating circuit. **SOLUTION:** N-type wells 41 and 42 and an N-type deep well 5 are formed in the upper part of a P-type semiconductor substrate and the wells 41, 42 and 5 are electrically isolated from each other by the substrate. P-type wells 51 and 52 are formed in the upper part of the well 5 and the wells 51 and 52 are electrically isolated from each other by the well 5. Back bias control terminals BP1, BN1, BP2 and BN2 are connected with the wells 41, 51, 42 and 52, respectively. The potentials in the terminals BP1, BP2, ... out of output terminals of a back bias control part 1 are made low and the potentials in the terminals BN1, BN2, ... out of the output terminals of the part 1 are made high. Thereby, the oscillation frequency of an oscillation circuit can be increased.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開平10-229166

(43)公開日 平成10年(1998) 8 月25日

(51)IntCl ⁶	識別記号	F I	
H 0 1 L 27/04		H 0 1 L 27/04	G
21/822		H 0 3 K 3/354	B
21/8234		H 0 1 L 27/08	1 0 2 B
27/088		27/10	6 7 1 C
27/108		29/78	6 1 3 A
審査請求 有 請求項の数11 F D (全 12 頁) 最終頁に続く			

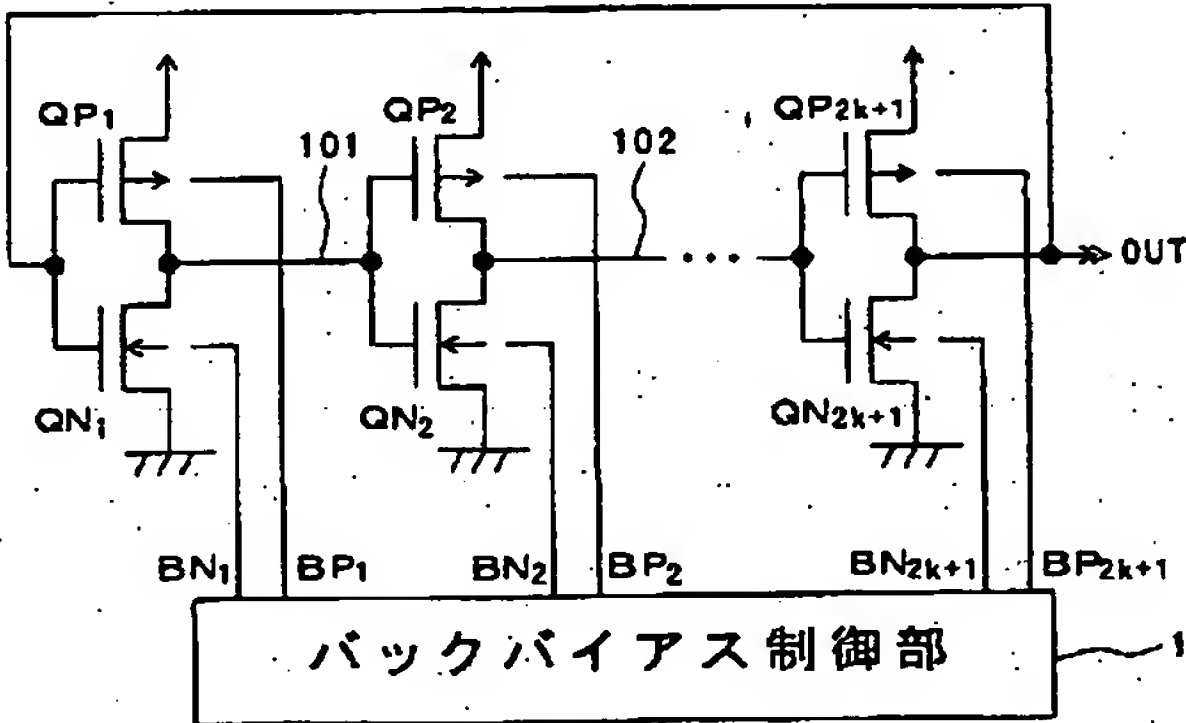
(21)出願番号	特願平9-47191	(71)出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成9年(1997) 2 月14日	(72)発明者	山田 和志 東京都港区芝五丁目7番1号 日本電気株式会社内
		(74)代理人	弁理士 加藤 朝道

(54)【発明の名称】 発振回路および遅延回路

(57)【要約】

【課題】小面積で発振周波数、デューティ比、位相が制御できる発振回路と、遅延時間、立ち上がり時間、立ち下がり時間が制御できる遅延回路の提供。

【解決手段】リングオシレータ、または縦続接続した論理ゲートを構成するMOSトランジスタのウェル（SOIデバイスではチャネル領域やバックゲート）をそれぞれ電氣的に分離し、それぞれ可変バイアス電圧発生回路の出力に接続することによってウェル電位を変動させる。これによって、各MOSトランジスタのしきい値が変動し、駆動電流能力が個別に制御される。



(2)

特開平10-229166

【特許請求の範囲】

【請求項1】MOS集積回路において、リングオシレータを構成する各MOSトランジスタのウェルのうち同一導電型のウェルが少なくとも2つ以上に電気的に分離され、前記同一導電型ウェルのうち少なくとも1つが可変バイアス電圧発生回路の出力に接続されている、ことを特徴とする発振回路。

【請求項2】SOI形MOS集積回路において、リングオシレータを構成する各MOSトランジスタのチャネル領域のうち少なくとも1つが可変バイアス電圧発生回路の出力に接続されている、ことを特徴とする発振回路。

【請求項3】SOI形MOS集積回路において、リングオシレータを構成する各MOSトランジスタのチャネル領域のうち少なくとも1つについて埋め込み絶縁膜を介して基板側に下部電極を設け、前記下部電極が可変バイアス電圧発生回路の出力に接続されている、ことを特徴とする発振回路。

【請求項4】MOS集積回路において、反転回路が複数段縦続接続された構成を含み、前記反転回路を形成する各MOSトランジスタのウェルのうち同一導電型のウェルが少なくとも2つ以上に電気的に分離され、前記同一導電型ウェルのうち少なくとも1つが可変バイアス電圧発生回路の出力に接続されている、ことを特徴とする遅延回路。

【請求項5】SOI形MOS集積回路において、反転回路が複数段縦続接続された構成を含み、前記反転回路を形成する各MOSトランジスタのチャネル領域のうち少なくとも1つが可変バイアス電圧発生回路の出力に接続されている、ことを特徴とする遅延回路。

【請求項6】SOI形MOS集積回路において、反転回路が複数段縦続接続された構成を含み、前記反転回路を形成する各MOSトランジスタのチャネル領域のうち少なくとも1つについて埋め込み絶縁膜を介して基板側に下部電極を設け、前記下部電極が可変バイアス電圧発生回路の出力に接続されている、ことを特徴とする遅延回路。

【請求項7】複数段縦続接続した論理ゲートを含む半導体装置において、前記複数の論理ゲートを構成する複数のMOSトランジスタのウェルを少なくとも二つ以上に電気的に分離し、前記複数のMOSトランジスタのウェルバイアスを可変に設定する手段を備え、前記複数のMOSトランジスタのしきい値を別々に可変させることにより、前記各段の論理ゲートの電流駆動能力を可変に設定できるようにした、ことを特徴とする半導体装置。

【請求項8】前記複数段縦続接続した論理ゲートとして、インバータゲートを奇数段縦続接続してなるリングオシレータ、及び／又は、インバータゲートを偶数段縦続接続してなる遅延回路を含むことを特徴とする請求項7記載の半導体装置。

【請求項9】前記ウェルの代わりに、前記論理ゲートを

構成するSOIトランジスタのチャネル領域もしくはバックゲートのバイアスを可変に設定する手段を備えたことを特徴とする請求項7又は8記載の半導体装置。

【請求項10】リングオシレータを構成する奇数段のインバータ列における各トランジスタのバックバイアスを個別に調節する手段を備え、発振回路の発振周波数、デューティ比、位相を制御可能としたことを特徴とする半導体装置。

【請求項11】偶数段縦続接続されたインバータ列を構成する各トランジスタのバックバイアスを個別に調節する手段を備え、遅延回路の遅延時間、立ち上がり時間、立ち下がり時間を制御可能としたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路に集積化可能とされ発振周波数、デューティ比、位相を変更することができる発振回路と、遅延時間、立ち上がり時間、立ち下がり時間を変更することができる遅延回路に関する。

【0002】

【従来の技術】発振周波数やデューティ比が可変な発振信号を得ることができる従来の発振回路として、特開昭59-86326号公報に提案される発振回路を例として以下に説明する。

【0003】図1-2は、従来の発振回路の回路構成の一例を示す図である。図1-2を参照すると、リングオシレータを構成する奇数段のインバータ群 INT_1 、 INV_2 、 \dots 、 INV_{2k+1} (k は1以上の整数)の電源端子に、ソースが電源に接続された制御用PchMOSトランジスタ群 TP_1 、 TP_2 、 \dots 、 TP_{2k+1} のドレインがそれぞれ接続され、上記インバータ群の接地端子に、それぞれソースが接地された制御用NchMOSトランジスタ群 TN_1 、 TN_2 、 \dots 、 TN_{2k+1} のドレインが接続された構成とされている。

【0004】ゲート電位制御部2は、所望の発振周波数、デューティ比に対応したゲート電位制御信号 G_{P_1} 、 G_{P_2} 、 \dots 、 $G_{P_{2k+1}}$ 、 G_{N_1} 、 G_{N_2} 、 \dots 、 $G_{N_{2k+1}}$ を出力し、これらの信号は、それぞれ制御用MOSトランジスタ TP_1 、 TP_2 、 \dots 、 TP_{2k+1} 、 TN_1 、 TN_2 、 \dots 、 TN_{2k+1} のゲート電極に印加される。

【0005】続いて、この従来の発振回路の動作を説明する。図1-2において、制御用PchMOSトランジスタ TP_1 のオン抵抗 R_{ON} は、トランジスタ TP_1 が非飽和領域で動作しているとして、次式(1)で与えられる。

【0006】

$$R_{ON} = \{ \beta (V_{GS} - V_{th} - V_{DS}/2) \}^{-1} \dots (1)$$

【0007】ただし、 β は能力係数、 V_{GS} はゲート・ソース間電圧、 V_{DS} はソース・ドレイン間電圧、 V_{th} はしきい値電圧である。

(3)

特開平10-229166

【0008】これは、インバータ INV_1 の電源端子と電源間に抵抗 R_{ON} が付加されたこととなり、等価的に、インバータ INV_1 の電流駆動能力がゲート電位制御部2の出力電圧 GP_1 により制御されることになる。他の制御トランジスタ群についても同様の原理であり、ゲート電位制御部2の出力電圧により、リングオシレータを構成する各段の論理ゲートの電流駆動能力が制御でき、発振周波数、デューティ比を可変とすることができる。

【0009】より具体的には、発振周波数を高くするときには、各段の論理ゲートの電流駆動能力を高くすればよいので、ゲート電位制御部2の出力のうち GP_1 、 GP_2 、 \dots 、 GP_{2k+1} の電位を低く、 GN_1 、 GN_2 、 \dots 、 GN_{2k+1} の電位を高くする。

【0010】またデューティ比を大きくするには、奇数段目の論理ゲートの出力が立ち下がる速度と偶数段目の論理ゲートの出力が立ち上がる速度が遅くなり、かつ奇数段目の論理ゲートの出力が立ち上がる速度と偶数段目の論理ゲートの出力が立ち下がる速度が速くなればよい。したがって、ゲート電位制御部2の出力のうち奇数段目の論理ゲートに入力される GP_1 、 GN_1 、 GP_3 、 GN_3 、 \dots 、 GP_{2k+1} 、 GN_{2k+1} の電位を低く、偶数段目の論理ゲートに入力される GP_2 、 GN_2 、 GP_4 、 GN_4 、 \dots 、 GP_{2k} 、 GN_{2k} の電位を高くすればよい。

【0011】次に、従来用いられてきた遅延回路の例を、図13、及び図14に示す。

【0012】図13に示す遅延回路は、縦続接続された j 段のインバータ列（ j は2以上の偶数）で構成されている。各インバータは、ソース・ドレイン方向に3段直列に接続された Nch MOSトランジスタと、ソース・ドレイン方向に3段直列に接続された Pch MOSトランジスタからそれぞれ成る。各インバータの電流駆動能力は、それぞれ直列トランジスタのオン抵抗の和に反比例するので、トランジスタを3つ直列に接続することによって Nch トランジスタ1つと Pch トランジスタ1つからなるインバータに比べて電流駆動能力が低くなる。加えて、各インバータが駆動する容量は次段のインバータのゲート容量であるので、各インバータが6つのトランジスタで構成されている分次段の容量が増える。さらに、トランジスタが直列に接続されているため、バックバイアス効果でトランジスタ TN_{an} 、 TP_{an} （ $1 \leq n \leq j$ ）のしきい値は、それぞれ TN_{cn} 、 TP_{cn} よりも高くなる。以上3つの効果で、比較的大きな遅延を得ることができる。

【0013】図14に示す第2の従来の遅延回路も、同様に、縦続接続された j 段のインバータ列（ j は2以上の偶数）で構成されている。ただし、奇数段のインバータはソース・ドレイン方向に3段直列に接続された Nch MOSトランジスタ（例えば TN_{a1} 、 TN_{b1} 、 TN_{c1} ）と1つの Pch MOSトランジスタ（ TP_{a1} ）から成り、偶数段のインバータは1つの Nch MOSトラ

ンジスタ（例えば TN_{a2} ）とソース・ドレイン方向に3段直列に接続された Pch MOSトランジスタ（例えば TP_{a2} 、 TP_{b2} 、 TP_{c2} ）から成る。例外として、最終段インバータは波形を整えるため単純なインバータ（ TP_{aj} 、 TN_{aj} ）が用いられている。

【0014】この構成では、奇数段インバータの出力立ち下がり遅く出力立ち上がりは速くなり、偶数段インバータの出力立ち上がり遅く出力立ち下がり速くなる。したがって、図14の IN 端子に立ち上がり信号が入力されたとき、 OUT 端子に立ち上がり信号が出力されるまでに、大きな遅延時間が加わり、 IN 端子に立ち下がり信号が入力されたときは、速やかに OUT 端子に立ち下がり信号が出力される。

【0015】

【発明が解決しようとする課題】ところで、図12に示した構成の従来の発振回路は、単純なインバータでリングオシレータを形成したときよりも、制御用トランジスタのオン抵抗の分だけ電流駆動能力が減少する。この発振回路において、発振周波数、デューティ比の変動幅は、リングオシレータを形成する各論理ゲートの最大電流駆動能力によって制限されるので、制御用MOSトランジスタとインバータのゲート幅は大きくせざるを得ない。このため、動作周波数が大きい場合には、特にゲート幅を大きく、すなわち発振回路の面積を大きくしなければならない。

【0016】同様にして、遅延回路も多くのトランジスタを直列に接続してインバータを構成し、各インバータを多段縦続接続するので、面積が大きくなってしまふ。

【0017】さらに、従来の遅延回路では、回路設計時に、一旦遅延時間を設定してしまうと、その後の製造ばらつき、並びに、動作時の電源電圧変動や温度変化によって遅延時間が変動してしまい、動作時に遅延時間を補正するための手段がない。

【0018】したがって、本発明は、上記問題点に鑑みてなされたものであって、その目的は、小面積で発振周波数、デューティ比、位相が制御できる発振回路と、小面積で遅延時間、立ち上がり時間、立ち下がり時間が制御できる遅延回路を提供することにある。

【0019】

【課題を解決するための手段】前記目的を達成するため、本発明の発振回路は、リングオシレータを構成する各トランジスタのバックバイアスによって調節することによって、発振周波数、デューティ比、位相を制御する。

【0020】より詳細には、本願第1発明の発振回路は、MOS集積回路において、リングオシレータを構成する各MOSトランジスタのウェルのうち同一導電型のウェルが少なくとも2つ以上に電気的に分離され、前記同一導電型ウェルのうち少なくとも1つが可変バイアス電圧発生回路の出力に接続されている、ことを特徴とす

(4)

特開平10-229166

る。

【0021】また、本願第2発明の発振回路は、SOI形MOS集積回路において、リングオシレータを構成する各MOSトランジスタのチャネル領域のうち少なくとも1つが可変バイアス電圧発生回路の出力に接続されている、ことを特徴とする。

【0022】また、本願第3発明の発振回路は、SOI形MOS集積回路において、リングオシレータを構成する各MOSトランジスタのチャネル領域のうち少なくとも1つについて埋め込み絶縁膜を介して基板側に下部電極を設け、前記下部電極が可変バイアス電圧発生回路の出力に接続されている、ことを特徴とする。

【0023】次に本願第4発明の遅延回路は、MOS集積回路において、反転回路が複数段縦続接続された構成を含み、前記反転回路を形成する各MOSトランジスタのウェルのうち同一導電型のウェルが少なくとも2つ以上に電気的に分離され、前記同一導電型ウェルのうち少なくとも1つが可変バイアス電圧発生回路の出力に接続されている、ことを特徴とする。

【0024】また本願第5発明の遅延回路は、SOI形MOS集積回路において、反転回路が複数段縦続接続された構成を含み、前記反転回路を形成する各MOSトランジスタのチャネル領域のうち少なくとも1つが可変バイアス電圧発生回路の出力に接続されている。

【0025】さらに、本願第6発明の遅延回路は、SOI形MOS集積回路において、反転回路が複数段縦続接続された構成を含み、前記反転回路を形成する各MOSトランジスタのチャネル領域のうち少なくとも1つについて埋め込み絶縁膜を介して基板側に下部電極を設け、前記下部電極が可変バイアス電圧発生回路の出力に接続されている、ことを特徴とする。

【0026】

【発明の実施の形態】本発明の好ましい実施の形態について以下に説明する。本発明の発振回路は、その好ましい実施の形態において、リングオシレータを構成する各トランジスタのバックバイアスによって調節することによって、発振周波数、デューティ比、位相を制御するようにしたものである。より詳細には、バルクCMOSでは、ウェルを各トランジスタ毎に電気的に分離し（図2、図3の41、42、51、52）、各ウェルに個別に制御電圧を与えることができる手段（図1のバックバイアス制御部1）を有する。

【0027】また、部分空乏化形SOIでは、ウェルの代わりに、各トランジスタのチャネル領域（図7、図8の61、62、71、72）に対して制御電圧を与える。

【0028】また、完全空乏化形SOIでは、ウェルの代わりに、各トランジスタのバックゲート（図9、図10の81、82、91、92）に対して制御電圧を与える。

【0029】また、本発明の遅延回路は、その好ましい実施の形態において、偶数段縦続接続されたインバータ列を構成する各トランジスタのバックバイアスを調節することによって、遅延時間、立ち上がり時間、立ち下がり時間を制御する。より具体的には、バルクCMOSでは、ウェルを各トランジスタ毎に電気的に分離し各ウェルに個別に制御電圧を与えることができる手段（図11のバックバイアス制御部1）を有する。

【0030】また、部分空乏化形SOIでは、ウェルの代わりに各トランジスタのチャネル領域に対して制御電圧を与える。

【0031】また、完全空乏化形SOIでは、ウェルの代わりに各トランジスタのバックゲートに対して制御電圧を与える。

【0032】本発明の発振回路は、その好ましい実施の形態において、バックバイアス制御部（図1の1）を用いて、リングオシレータを構成する各PchトランジスタのNウェルの電位を低く、各NchトランジスタのPウェルの電位を高く設定することができる。これによって、各トランジスタのしきい値 V_{th} が下がり、リングオシレータ各段の電流駆動能力が高くなり、発振周波数を高くすることができる（図4参照）。

【0033】逆に、発振周波数を低くするときは、Nウェルの電位を高く、Pウェルの電位を低くすればよい。

【0034】また、バックバイアス制御部（図1の1）を用いて、リングオシレータの奇数段目の論理ゲートのウェルの電位を低く、偶数段目の論理ゲートのウェルの電位を高くできる。これによって、出力信号の立ち上がりが速く、立ち下がりが遅くなり、デューティ比が大きくすることができる（図5参照）。

【0035】逆に、デューティ比を小さくするときは、奇数段目の論理ゲートのウェルの電位を高く、偶数段目の論理ゲートのウェルの電位を低くすればよい。

【0036】また、バックバイアス制御部（図1の1）を用いると、前述のように発振周波数を変化させることができる。例えば周期より短い時間だけ一時的に発振周波数を高くして、再び元の周波数に戻すことによって出力信号の位相を進ませることができる（図6参照）。

【0037】逆に、位相を遅らせるときは、一時的に発振周波数を小さくして再び元の周波数に戻せばよい。

【0038】また、本発明の遅延回路は、その好ましい実施の形態において、バックバイアス制御部を用いて多段縦続接続されたインバータ列を構成する各NchトランジスタのPウェルの電位を低く、各PchトランジスタのNウェルの電位を高くすることができる。これによって各トランジスタのしきい値 V_{th} が上がり、各インバータの電流駆動能力が小さくなり遅延時間が大きくなる。遅延時間を小さくするときは、Pウェル電位を高く、Nウェル電位を低くすればよい。

【0039】また、バックバイアス制御部を用いインバ

(5)

特開平10-229166

一タ列の奇数段目の論理ゲートのウェルの電位を低く、偶数段目の論理ゲートのウェルの電位を高く設定することができる。これによって、立ち上がり信号が入力されるときは遅延時間が大きく、立ち下がり信号が入力されるときは遅延時間が小さくできる。

【0040】逆に、立ち下がり信号が入力されるときに遅延時間を大きく、立ち上がり信号が入力されるときに遅延時間を小さくするためには、奇数段目の論理ゲートのウェルの電位を高く、偶数段目の論理ゲートのウェルの電位を低くすればよい。

【0041】

【実施例】上記した実施の形態について更に詳細に説明すべく、本発明の実施例について図面を参照して以下に説明する。

【0042】

【実施例1】図1は、本発明の一実施例の発振回路の構成を示すブロック図である。図1を参照すると、本実施例において、MOSトランジスタ QP_1 と QN_1 、 QP_2 と QN_2 、…、 QP_{2k+1} と QN_{2k+1} (k は1以上の整数)はそれぞれインバータを形成しており、最終段のインバータの出力(OUT)は初段のインバータの入力に帰還されており、これらインバータ群によってリングオシレータが構成されている。なお、PチャネルMOSトランジスタは QP_i 、NチャネルMOSトランジスタは QN_i で示す。

【0043】バックバイアス制御部1は、種々のバイアス電圧を出力するための回路であり、バックバイアス制御端子 BP_1 、 BN_1 、 BP_2 、 BN_2 、…、 BP_{2k+1} 、 BN_{2k+1} (k は1以上の整数)にバックバイアス制御電圧を個別に供給する。バックバイアス制御電圧は、例えばチャージポンプ回路を用いて発生させるものとする。

【0044】インバータ群を構成する各トランジスタ QP_1 、 QN_1 、 QP_2 、 QN_2 、…、 QP_{2k+1} 、 QN_{2k+1} のそれぞれのウェルは互いに電気的に分離されており、各々対応するバックバイアス制御端子 BP_1 、 BN_1 、 BP_2 、 BN_2 、…、 BP_{2k+1} 、 BN_{2k+1} に接続されている。

【0045】図2は、図1のリングオシレータの一部、トランジスタ QP_1 、 QN_1 、 QP_2 、 QN_2 のレイアウト

$$I_{ON} = \frac{\beta}{2} (V_{GS} - V_{th})^2$$

【0052】より具体的には、図4に示すように、バックバイアス制御部1の出力のうち BP_1 、 BP_2 、…、 BP_{2k+1} の電位を低く、 BN_1 、 BN_2 、…、 BN_{2k+1} の電位を高くする。このとき、各段のインバータの電流駆動能力が高くなるので、発振周波数を高くすることができる。なお、図4、図5、及び図6には、バックバイアス制御部1の出力 BP_1 、 BN_1 及び発振回路の出力OUTのタイミング波形が示されている。

【0053】また図5に示すように、バックバイアス制御部1の出力のうち奇数段目のインバータのウェルに入

平面図を示したものである。図2のY-Y'線に沿った断面図を図3(a)に、X-X'線に沿った断面図を図3(b)にそれぞれ示す。

【0046】図2及び図3を参照すると、P形の半導体基板3の上部に、Nウェル41、42と、ディープNウェル5が形成されており、互いに基板3によって電気的に分離されている。ディープNウェル5の上部にはPウェル51、52が形成されており、互いにディープNウェル5によって電気的に分離されている。

【0047】Nウェル41の表面には一対のP形拡散層対21、Nウェル42の表面には一対のP形拡散層対22、Pウェル51の表面には一対のN形拡散層対31、Pウェル52の表面には一対のN形拡散層対32が形成されており、ウェルのさらに上部には絶縁膜4が形成されている。絶縁膜4中にはゲート電極11、12が形成されており、ゲート電極11はP形拡散層対21とN形拡散層対31の上部に、ゲート電極12はP形拡散層対22とN形拡散層対32の上部に配置されている。

【0048】バックバイアス制御端子 BP_1 、 BN_1 、 BP_2 、 BN_2 は、それぞれNウェル41、Pウェル51、Nウェル42、Pウェル52に接続される。

【0049】次に、本実施例の発振回路の動作を説明する。一般にウェルの電位を変動させると、そのウェル内のMOSトランジスタのしきい値 V_{th} が変動する(「基板バイアス効果」ともいう)。図3に示すように、本実施例の発振回路のリングオシレータでは、各トランジスタ毎にウェルを電気的に分離し、制御部1から各ウェルに個別にバックバイアス制御電圧が印加することができるので、各トランジスタ毎にしきい値 V_{th} の制御が可能である。

【0050】さて、リングオシレータを形成する各論理ゲートの電流駆動能力はトランジスタの飽和領域の電流 I_{ON} (次式(2)参照)で決まるので、しきい値 V_{th} を制御することによって、各論理ゲートの電流駆動能力を制御することができる。

【0051】

【数1】

$$(1 < \alpha < 2) \quad \dots(2)$$

力される BP_1 、 BN_1 、 BP_3 、 BN_3 、…、 BP_{2k+1} 、 BN_{2k+1} の電位を低く、偶数段目のインバータのウェルに入力される BP_2 、 BN_2 、 BP_4 、 BN_4 、…、 BP_{2k} 、 BN_{2k} の電位を高くする。すると、出力が立ち上がるまでの遅延時間が小さく、出力が立ち下がるまでの遅延時間が大きくなるので、出力波形のデューティ比を大きくすることができる。

【0054】さらに図6に示すように、周期より短い時間だけ BP_1 、 BP_2 、…、 BP_{2k+1} の電位を低く、 BN_1 、 BN_2 、…、 BN_{2k+1} の電位を高くして、直ちに元の

(6)

特開平10-229166

電位に戻す。このとき短時間だけ発振周波数が高くなり、すぐさま元の発振周波数に戻るので、出力OUTの位相を進ませることができる。

【0055】なお、図3に示したように、拡散層とウェル、PウェルとディープNウェル、NウェルとP形半導体基板はP-N接合で接しているため、P形半導体側の電位は、隣接するN形半導体側の電位より拡散電位 V_f 以上高くはならない。

【0056】例えば図3において、P形基板3の電位を電源電位 V_{dd} 以下とすると、Nウェル41、42の電位は、 $V_{dd}-V_f$ より高くなければならない。このように本実施例では、バックバイアス電位の制御範囲はある程度限定される。

【0057】また本実施例では、リングオシレータを構成する各トランジスタのウェルはすべて互いに電氣的に分離されているものとしたが、一部のウェルだけを電氣的に分離してもよい。さらに、本説明において基板3はP形半導体としたが、N形半導体基板上にディープPウェルとPウェル、ディープPウェル上にNウェルを形成しても同様に構成できる。

【0058】

【実施例2】次に本発明（請求項2）の実施例として、トランジスタを部分空乏化形SOI（Silicon On Insulator）とした場合について説明する。図7は、図1のリングオシレータの一部、トランジスタQP₁、QN₁、QP₂、QN₂のレイアウト平面図を示したものである。また、図7のY-Y'線に沿った断面図を図8（a）に、X-X'線に沿った断面図を図8（b）にそれぞれ示す。図7及び図8を参照すると、P形もしくはN形の半導体基板6の上部に絶縁膜4が形成され、その上部に、N形SOI層61、62とP形SOI層71、72とが形成されており、各SOI層は互いに絶縁膜4によって分離されている。

【0059】N形SOI層61の側面には1対のP形拡散層対21、N形SOI層62の側面には1対のP形拡散層対22、P形SOI層71の側面には1対のN形拡散層対31、P形SOI層72の側面には1対のN形拡散層対32が形成されており、SOI層のさらに上部には絶縁膜4が形成されている。絶縁膜4中にはゲート電極11、12が形成されており、ゲート電極11はP形拡散層21とN形拡散層31の上部に、ゲート電極12はP形拡散層22とN形拡散層32の上部に配置されている。バックバイアス制御端子BP₁、BN₁、BP₂、BN₂は、それぞれN形SOI層61、P形SOI層71、N形SOI層62、P形SOI層72に接続されている。

【0060】本実施例の回路動作は、基本的に前記第1の実施例と同じである。本実施例の場合、ウェルと比較してSOI層は寄生容量が小さいので、発振周波数、デューティ比、位相を変化させるときの動作が高速とな

り、且つ、消費電力が小さくなるという特徴を有する。また、SOI層と基板6とが絶縁膜4で分離されているので、ウェルに設定できる電位は、基板6の電位の影響を受けない。このため、前記第1の実施例と比較して、本実施例では、バックバイアス制御電位の設定範囲の自由度が高い。

【0061】

【実施例3】次に、本発明（請求項3）の実施例について、すなわちトランジスタが完全空乏形SOIの場合について説明する。このような構造でトランジスタのしきい値を制御する方法については、例えば特開平7-106579号公報の記載が参照される。

【0062】図9は、図1のリングオシレータの一部、トランジスタQP₁、QN₁、QP₂、QN₂のレイアウト平面図を示したものである。また、図9のY-Y'線に沿った断面図を図10（a）に、X-X'線に沿った断面図を図10（b）にそれぞれ示す。

【0063】図9及び図10を参照すると、P形もしくはN形の基板6の上部に絶縁膜4が形成され、その上部にN形SOI層61、62とP形SOI層71、72が形成されており、各SOI層は互いに絶縁膜4によって分離されている。N形SOI層61の側面には1対のP形拡散層対21、N形SOI層62の側面には1対のP形拡散層対22、P形SOI層71の側面には1対のN形拡散層対31、P形SOI層72の側面には1対のN形拡散層対32が形成されており、SOI層のさらに上部には絶縁膜4が形成されている。絶縁膜4中にはゲート電極11、12が形成されており、ゲート電極11はP形拡散層21とN形拡散層31の上部に、ゲート電極12はP形拡散層22とN形拡散層32の上部に配置されている。バックバイアス制御端子BP₁、BN₁、BP₂、BN₂は、それぞれ基板6の表面かつ各SOI層下部に形成されたバックゲート81、82、91、92に接続される。バックゲートは、例えば半導体基板6と逆の導電形の半導体とする。

【0064】本実施例の回路動作は前記第1の実施例と同じである。ただし、バックゲートの容量はウェル容量より一般に小さいので、本実施例の場合、前記第2の実施例と同様に発振周波数、デューティ比、位相を変化させるときの動作が高速で、消費電力が小さくなるという特徴を有する。また、拡散層とバックゲートが絶縁膜4で分離されているので、バックゲートに設定できる電位は拡散層の電位の影響を受けない。このため、前記第1の実施例と比較して、本実施例では、バックバイアス制御電圧の設定範囲の自由度が高い。

【0065】

【実施例4】図11は、本発明（請求項4）の遅延回路の一実施例の構成を示すブロック図である。図11を参照すると、MOSTランジスタQP₁とQN₁、QP₂とQN₂、…、QP_jとQN_j（jは2以上の偶数）はそれ

(7)

特開平10-229166

それインバータを形成しており、これらインバータ群は出力端子と入力端子が次々と縦続接続されている。バックバイアス制御部1は、種々のバイアス電圧を出力するための回路で、バックバイアス制御端子BP₁、BN₁、BP₂、BN₂、…、BP_j、BN_j（jは2以上の整数）にバックバイアス制御電圧を個別に供給する。バックバイアス制御電圧は、例えばチャージポンプ回路を用いて発生させるものとする。

【0066】インバータ群を構成する各トランジスタQP₁、QN₁、QP₂、QN₂、…、QP_j、QN_jのそれぞれのウェルは互いに電氣的に分離されており、各々対応するバックバイアス制御端子BP₁、BN₁、BP₂、BN₂、…、BP_j、BN_jに接続されている。

【0067】次に、図11に示した本実施例の遅延回路の動作を説明する。本実施例の遅延回路において、縦続接続されたインバータ列は、各トランジスタ毎にウェルを電氣的に分離し、制御部1から各ウェルに個別にバックバイアス制御電圧が印加できるので、各トランジスタ毎にしきい値V_{th}の制御が可能である。

【0068】上記した本発明の発振回路の実施例の動作で説明したように、しきい値V_{th}を制御することによって、各インバータの電流駆動能力を制御できる。

【0069】より具体的には、バックバイアス制御部1の出力のうちBP₁、BP₂、…、BP_jの電位を高く、BN₁、BN₂、…、BN_jの電位を低くする。このとき、各段のインバータの電流駆動能力が小さくなるのでウェルの電位によって遅延時間の長さを制御できる。

【0070】また、バックバイアス制御部1の出力のうち奇数段目のインバータのウェルに入力されるBP₁、BN₁、BP₃、BN₃、…、BP_{j-1}、BN_{j-1}の電位を低く、偶数段目のインバータのウェルに入力されるBP₂、BN₂、BP₄、BN₄、…、BP_j、BN_jの電位を高くする。すると、立ち上がり信号を入力したときの遅延時間は大きくなり、立ち下がり信号を入力したときの遅延時間は小さくなる。逆に、奇数段目のインバータのウェルの電位を高く、偶数段目のインバータのウェルの電位を低くすると、立ち下がり信号を入力したときの遅延時間は大きくなり、立ち上がり信号を入力したときの遅延時間は小さくなる。これによって、入力信号の遷移方向によって遅延時間を大きく異ならせることができる。

【0071】本実施例の遅延回路についても、上記実施例で説明した発振回路と同様に（上記実施例2、実施例3参照）、部分空乏化形SOIデバイスや完全空乏化形SOIデバイスへの適用が可能である。例えば部分空乏化形SOIデバイスの場合、ウェルの代わりに各トランジスタのチャネル領域に対して制御電圧を与え、また完全空乏化形SOIデバイスではウェルの代わりにバックゲートに対して制御電圧を与えることにより、遅延時間、立ち上がり／立ち下がり時間を制御することができる。

【0072】

【発明の効果】以上説明したように、本発明によれば下記記載の効果を奏する。

【0073】本発明の第1の効果は、発振回路の面積を縮減する、ということである。その理由は、本発明においては、上記した従来の発振回路におけるトランジスタTP₁、TN₁（図12参照）のような、特にゲート幅が大きい制御用MOSトランジスタが不要だからである。

【0074】本発明の第2の効果は、発振周波数が非常に高い発振回路が得られる、ということである。その理由は、本発明においては、単純なインバータのみでリングオシレータを形成することができ、さらに各トランジスタのしきい値を低く制御できるからである。

【0075】本発明の第3の効果は、遅延回路の面積を縮減する、ということである。その理由は、本発明においては、遅延回路を構成する各インバータをNchトランジスタ、Pchトランジスタそれぞれ1つずつだけで形成することができるからである。

【0076】本発明の第4の効果は、遅延回路の遅延時間、立ち上がり時間、立ち下がり時間を電氣的に変化させることが可能であり、すなわち動作時に遅延時間が変化可能である、ということである。その理由は、本発明においては、遅延時間がバックバイアス制御部の出力電位で制御できるようにしたことによる。

【図面の簡単な説明】

【図1】本発明の発振回路の実施例の構成を説明するための図である。

【図2】本発明の発振回路の第1の実施例の要部レイアウト平面図である。

【図3】本発明の発振回路の第1の実施例の構成を説明するための断面図であり、(a)は、図2をY-Y'線で切断したときの断面図、(b)は、図2をX-X'線で切断したときの断面図である。

【図4】本発明の発振回路の実施例において、発振周波数を高くしたときの波形図である。

【図5】本発明の発振回路の実施例において、デューティ比を大きくしたときの波形図である。

【図6】本発明の発振回路の実施例において、位相を進めたときの波形図である。

【図7】本発明の発振回路の第2の実施例の要部レイアウト平面図である。

【図8】本発明の発振回路の第2の実施例の構成を説明するための断面図であり、(a)は、図7をY-Y'線で切断したときの断面図、(b)は、図7をX-X'線で切断したときの断面図である。

【図9】本発明の発振回路の第3の実施例の要部レイアウト平面図である。

【図10】本発明の発振回路の第3の実施例の構成を説明するための断面図であり、(a)は、図9をY-Y'線で切断したときの断面図、(b)は、図9をX-X'線

(8)

特開平10-229166

線で切断したときの断面図である。

【図11】本発明の遅延回路の一実施例の構成を説明するための図である。

【図12】従来の発振回路の構成の一例を説明するための図である。

【図13】従来の遅延回路の構成の一例を説明するための図である。

【図14】従来の遅延回路の別の構成例を説明するための図である。

【符号の説明】

- 1 ゲート電位制御部
- 2 バックバイアス制御部
- 3 P形半導体基板
- 4 絶縁膜
- 5 ディープNウェル
- 6 半導体基板
- 11、12 ゲート電極
- 21、22 P形拡散層
- 31、32 N形拡散層

41、42 Nウェル

51、52 Pウェル

61、62、71、72 SOI層

81、82、91、92 バックゲート

101、102 配線

QP₁、QP₂、…、QP_{2k+1} P形MOSトランジスタ

QN₁、QN₂、…、QN_{2k+1} N形MOSトランジスタ

TP₁、TP₂、…、TP_{2k+1} P形MOSトランジスタ

TN₁、TN₂、…、TN_{2k+1} N形MOSトランジスタ

OUT 出力端子

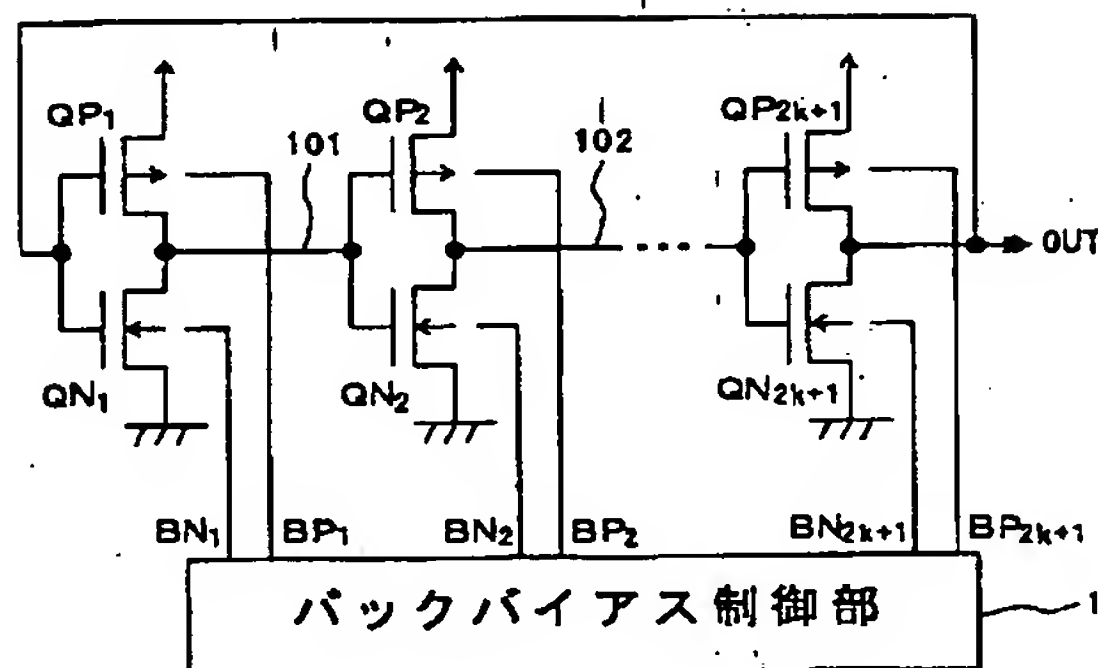
BP₁、BP₂、…、BP_{2k+1} PchMOSバックバイアス制御端子

BN₁、BN₂、…、BN_{2k+1} NchMOSバックバイアス制御端子

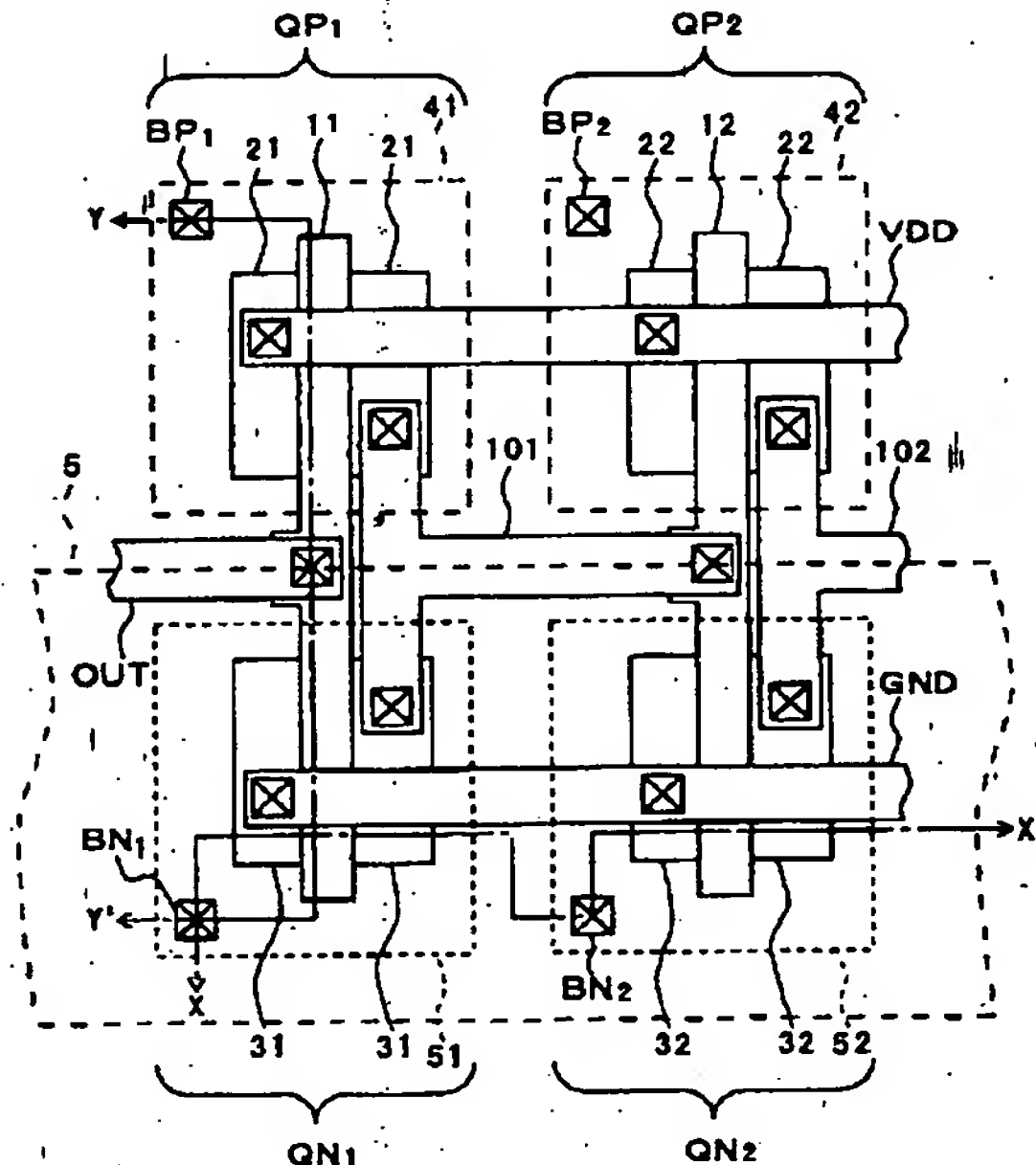
GP₁、GP₂、…、GP_{2k+1} PchMOゲート電位制御端子

GN₁、GN₂、…、GN_{2k+1} NchMOゲート電位制御端子

【図1】



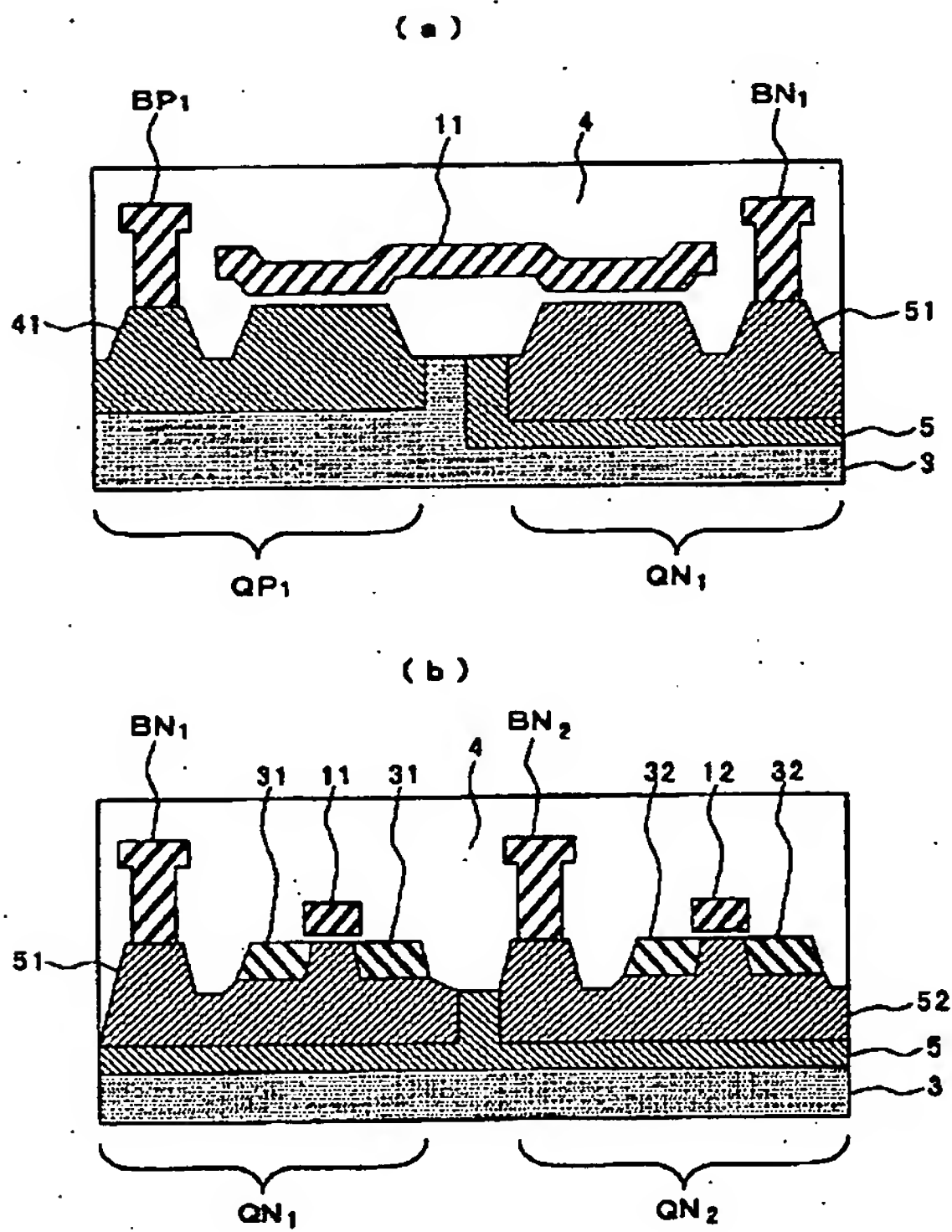
【図2】



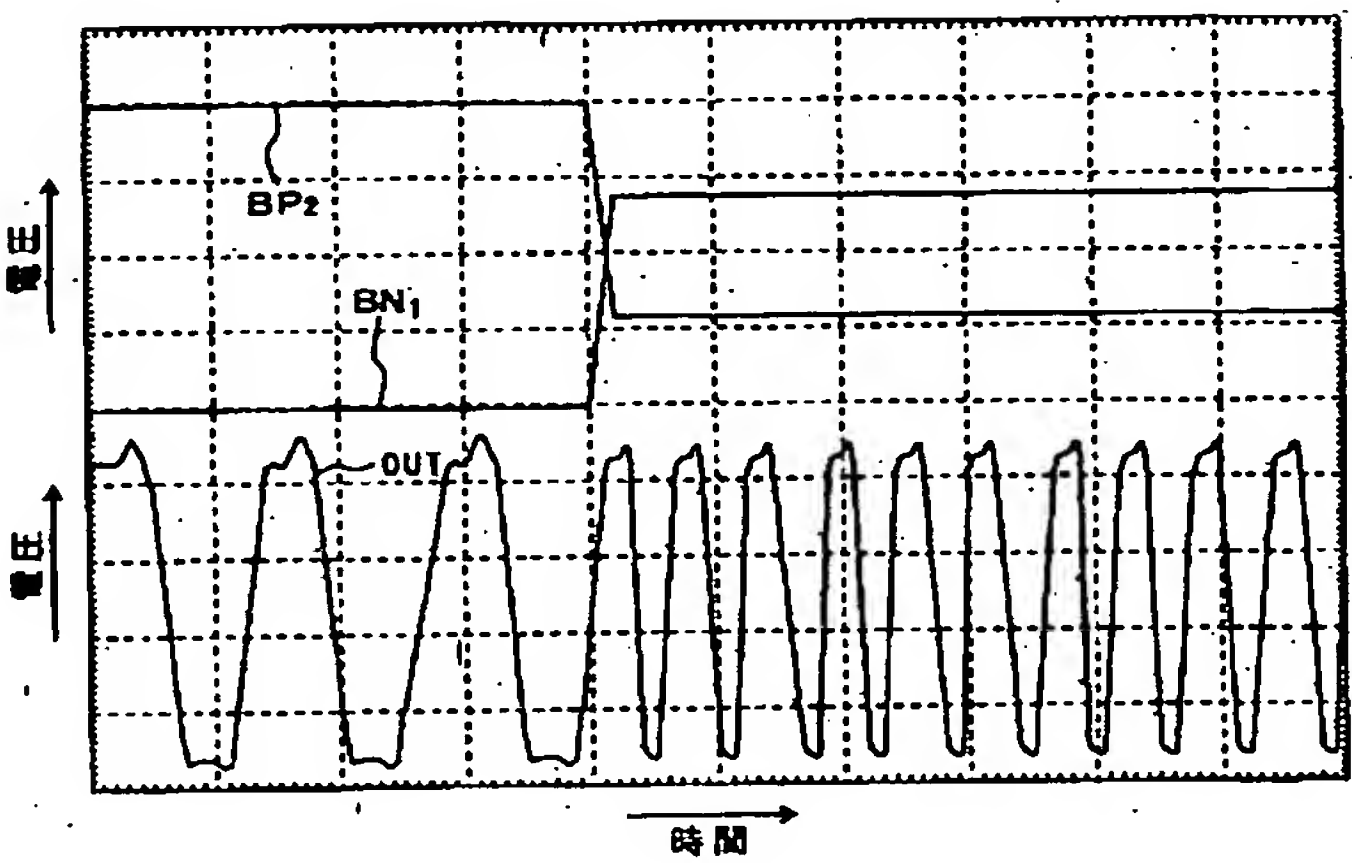
(9)

特開平10-229166

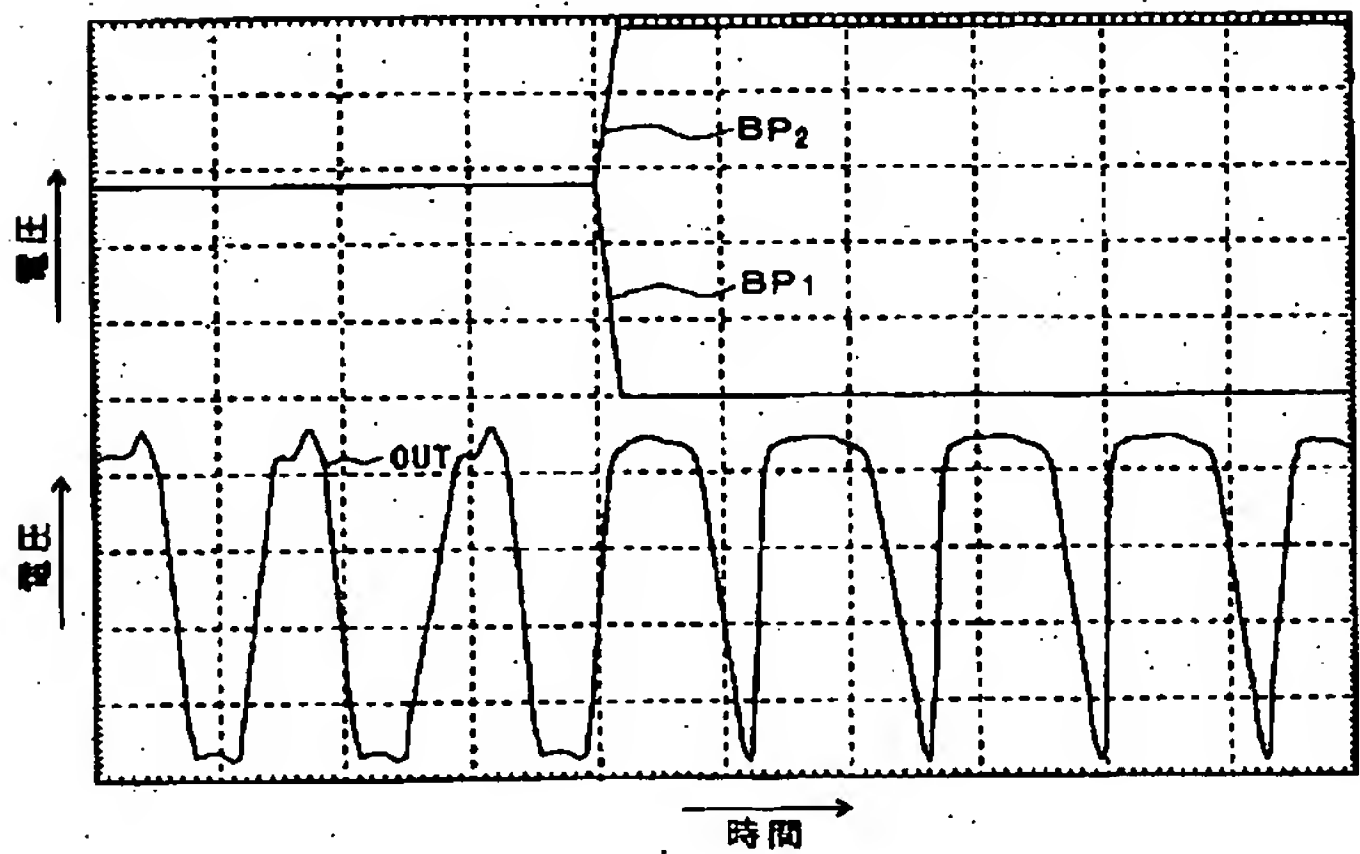
【図3】



【図4】



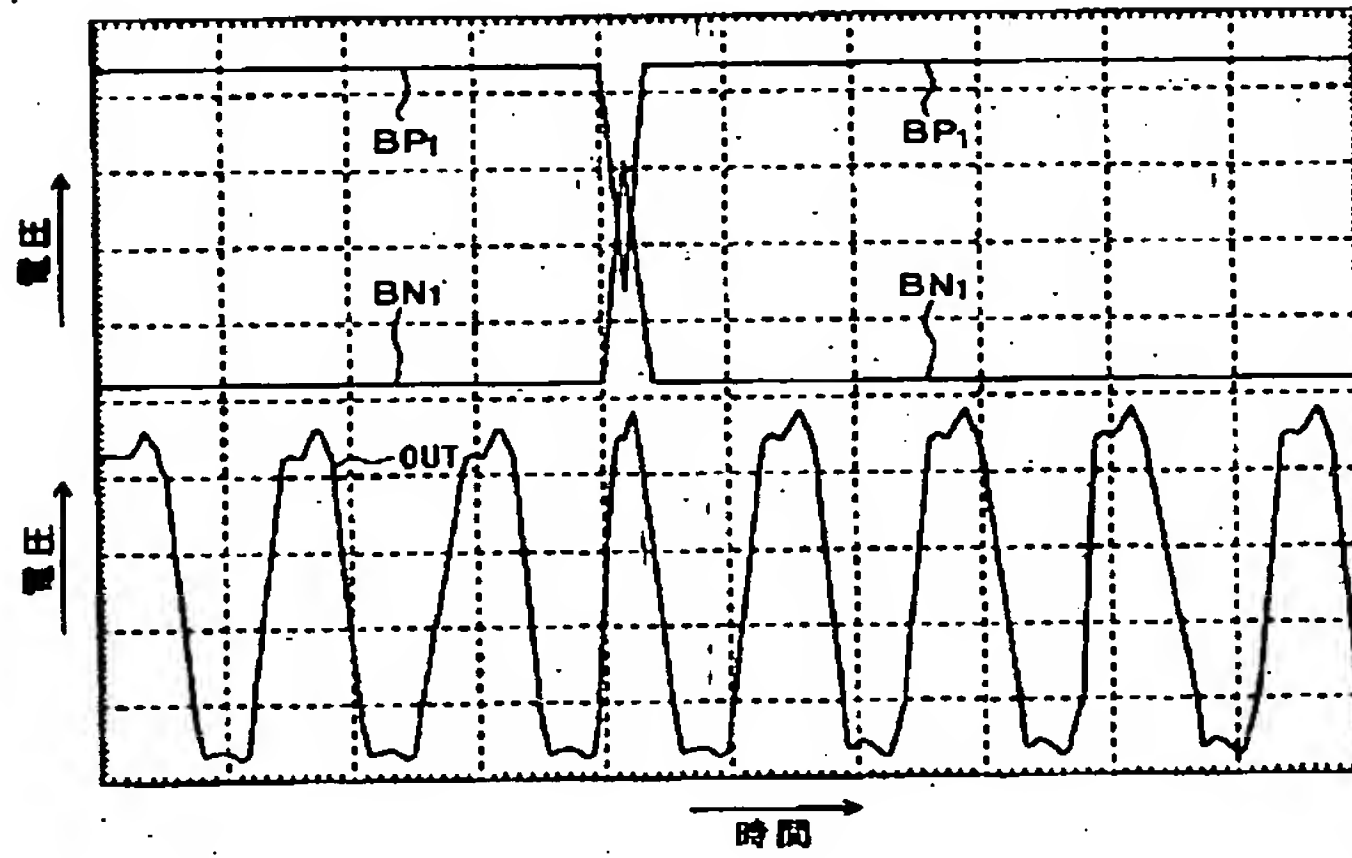
【図5】



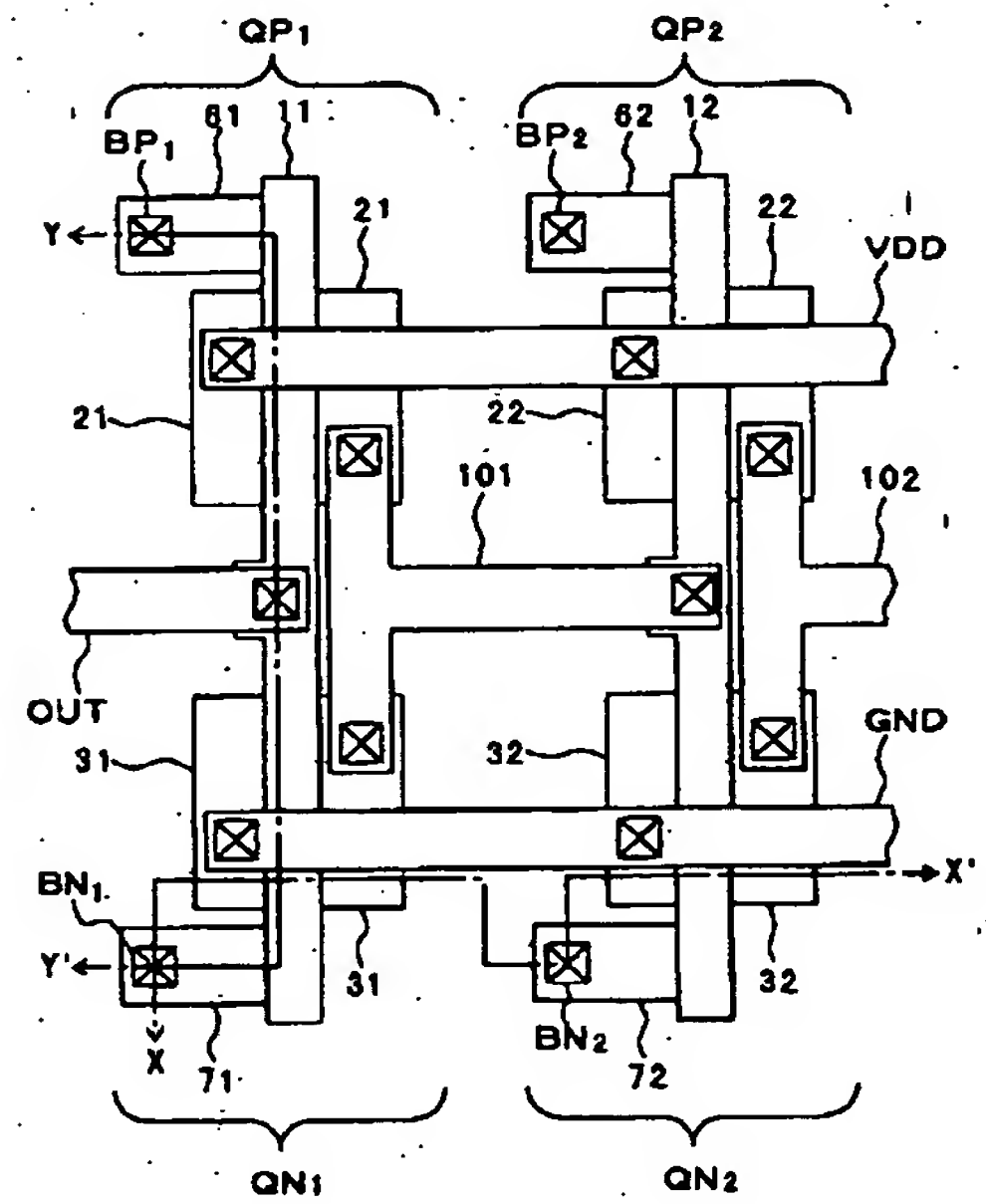
(10)

特開平10-229166

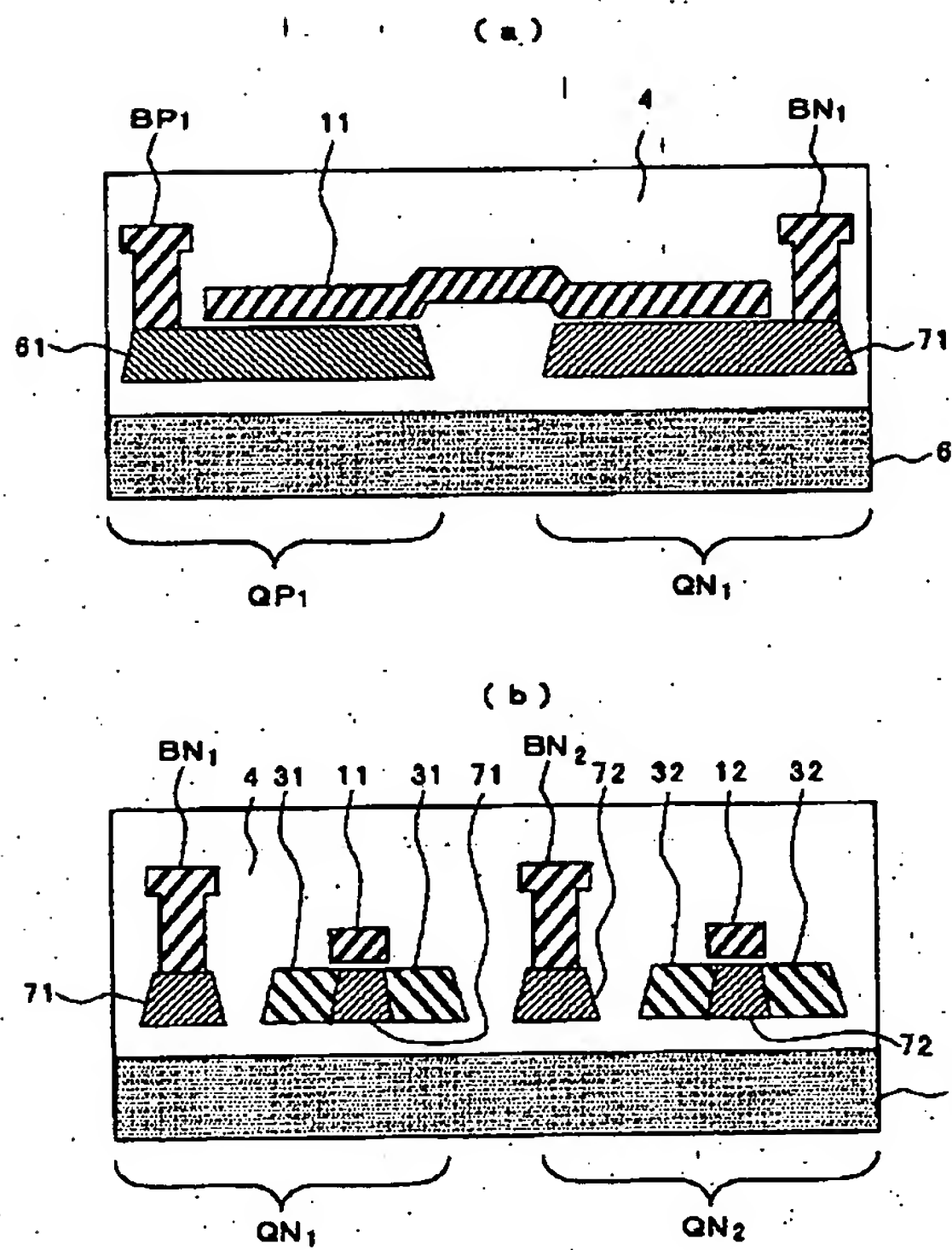
【図6】



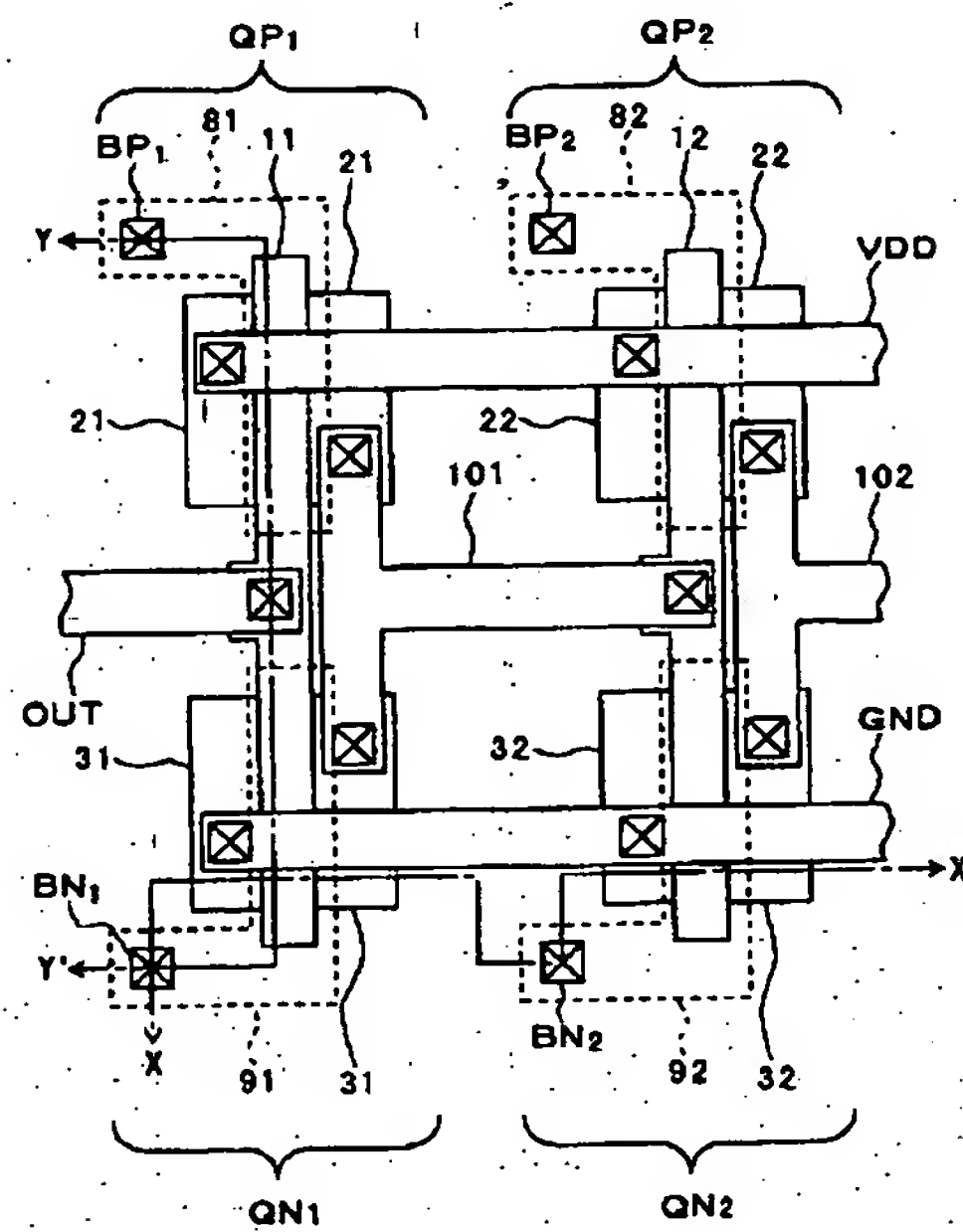
【図7】



【図8】



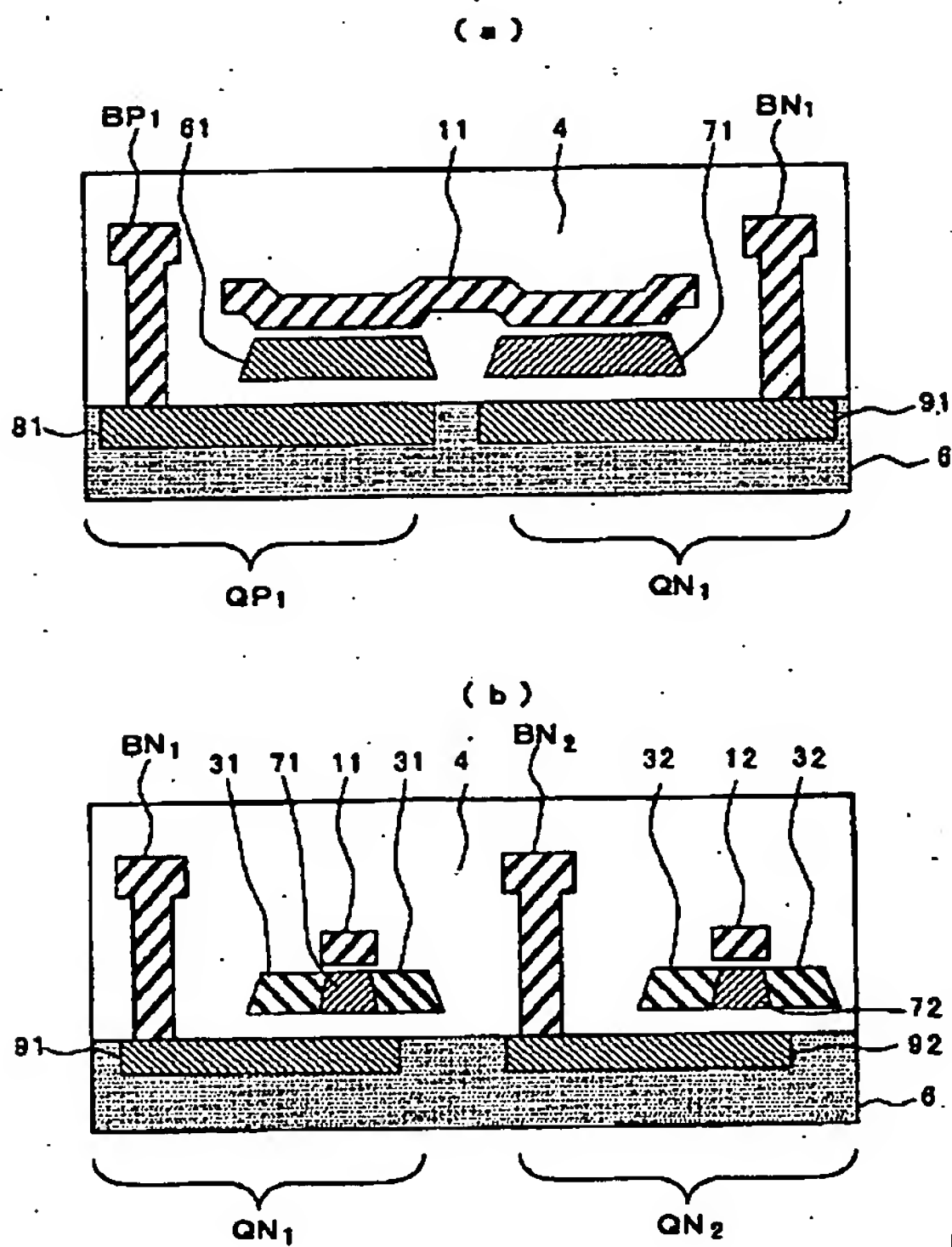
【図9】



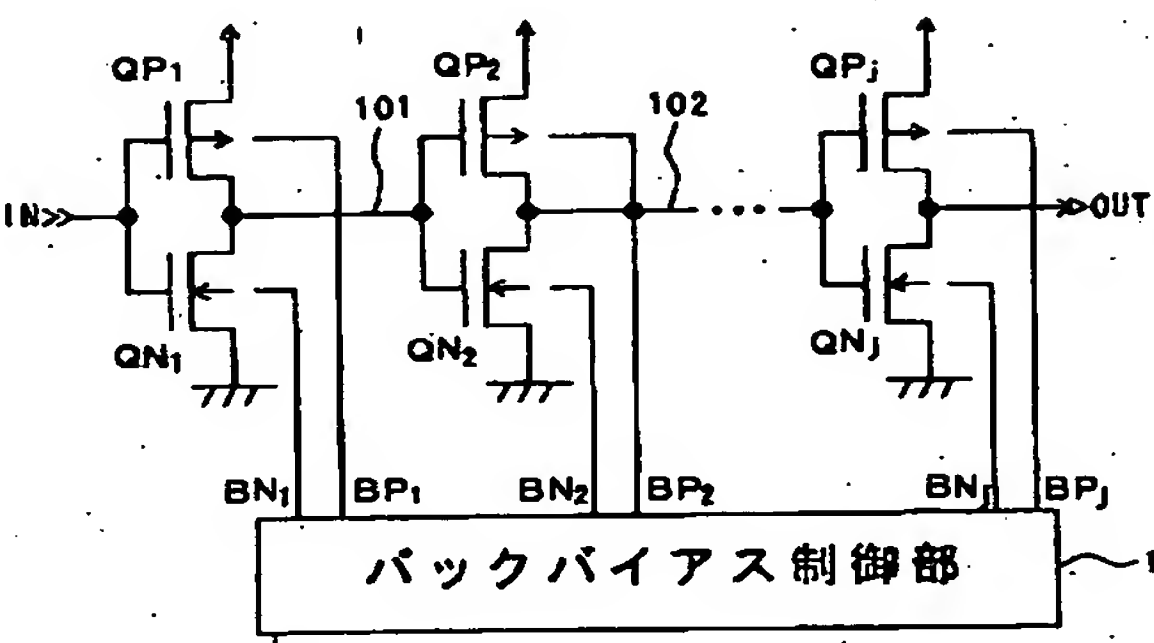
(11)

特開平10-229166

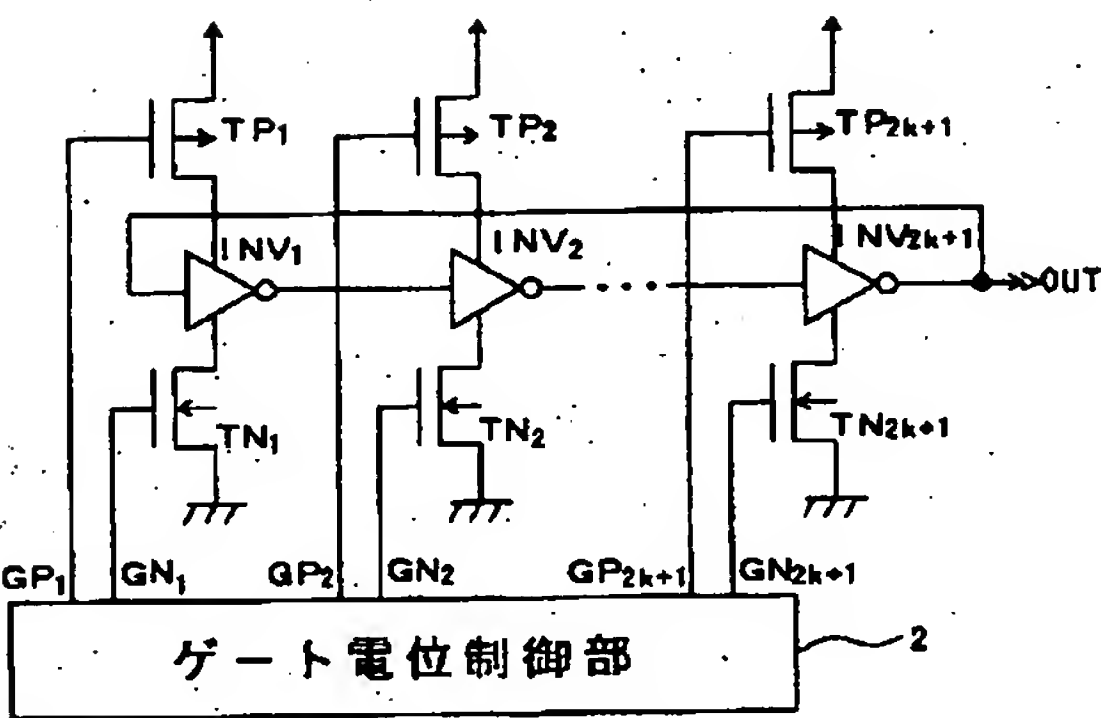
【図10】



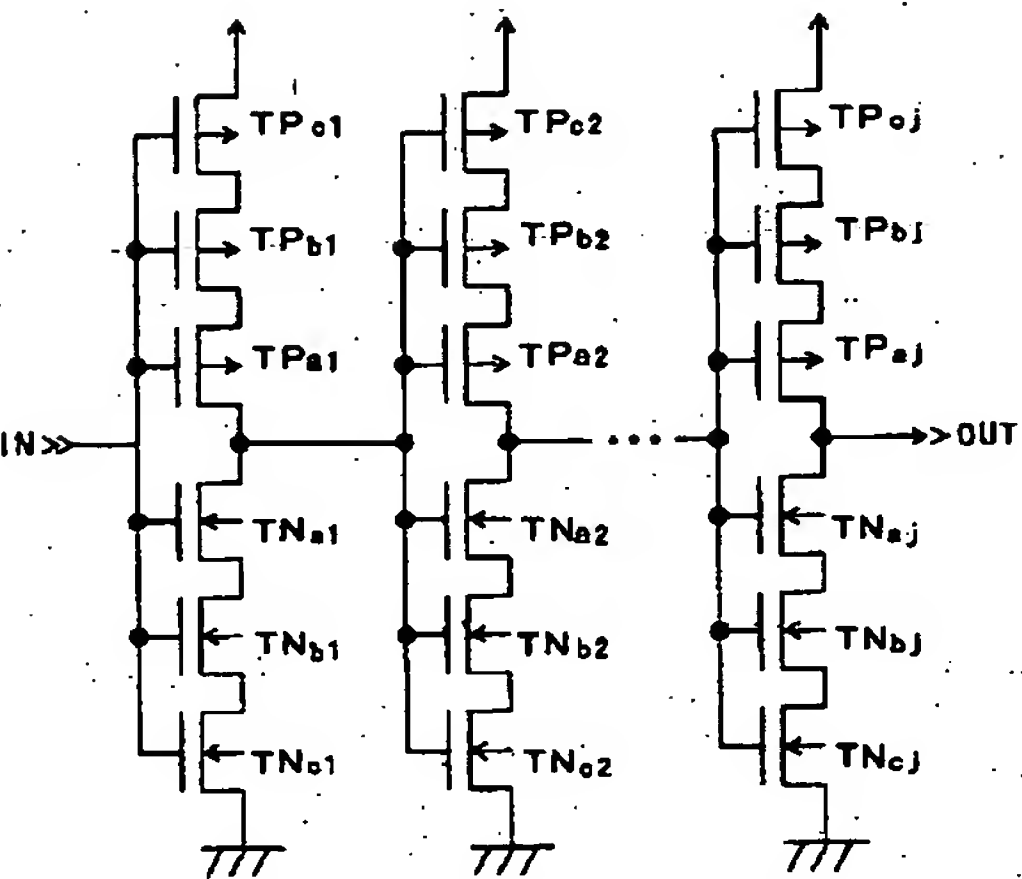
【図11】



【図12】



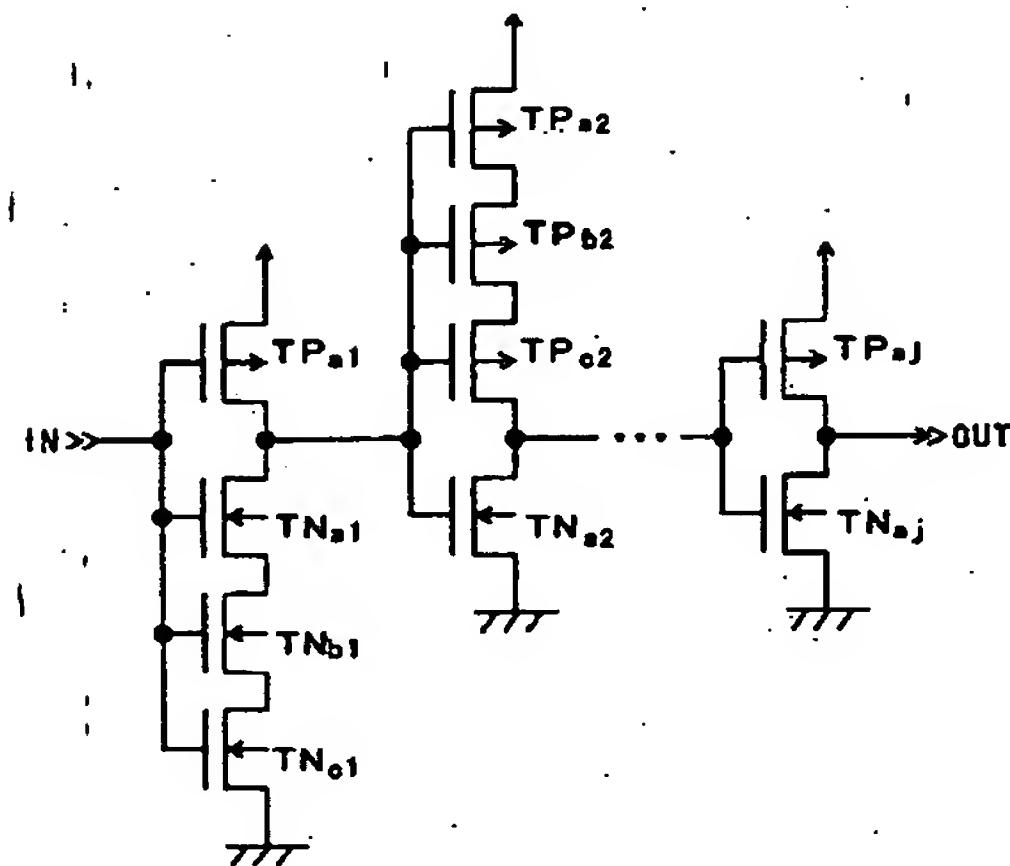
【図13】



(12)

特開平10-229166

【図14】



フロントページの続き

(51)Int.Cl.⁶
H01L 21/8242
29/786
// H03K 3/354

識別記号

FI
H01L 29/78

618C
626Z

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ FADED TEXT OR DRAWING

☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.